

ABSTRACT

The invention provides an organic semiconductor device with a p-type organic semiconductor layer sandwiched between a source electrode and a drain electrode including an n-type organic semiconductor layer formed in an intermediate portion of the p-type organic semiconductor layer and a gate electrode embedded in the n-type organic semiconductor layer, and an organic semiconductor device with an n-type organic semiconductor layer sandwiched between a source electrode and a drain electrode includes a p-type organic semiconductor layer formed in an intermediate portion of the n-type organic semiconductor layer and a gate electrode embedded in the p-type organic semiconductor layer, thereby suppressing a leak current generated between the electrodes. The invention also provides an organic semiconductor device including an organic semiconductor layer sandwiched between a source electrode and a drain electrode and having a carrier transporting property, and a gate electrode constituted of at least two intermediate electrode pieces which are embedded in the organic semiconductor layer, are respectively provided in at least two planes separated from and parallel to the source electrode and the drain electrode, and are positioned in a direction across the layer thickness. The gate electrode is embedded by fusing the organic semiconductor layer.

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 1 月 22 日 (22.01.2004)

PCT

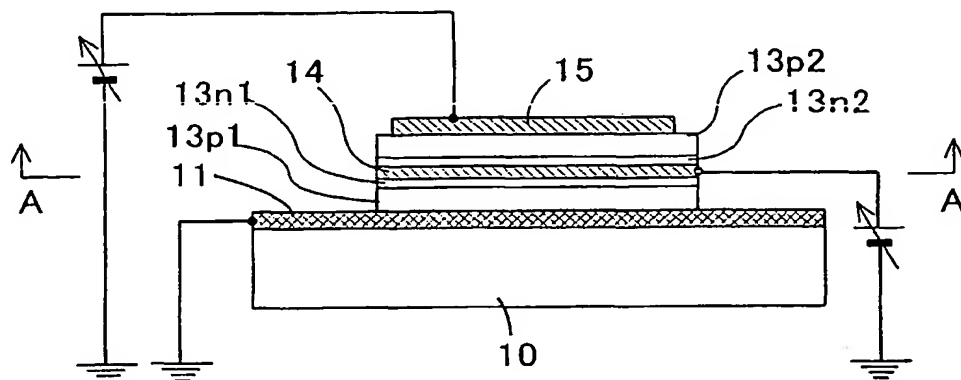
(10) 国際公開番号
WO 2004/008545 A1

- | | | |
|----------------------------|---------------------------------|---|
| (51) 国際特許分類 ⁷ : | H01L 29/80, 21/334, 51/00 | (71) 出願人 (米国を除く全ての指定国について): パイオニア株式会社 (PIONEER CORPORATION) [JP/JP]; 〒153-8654 東京都目黒区目黒1丁目4番1号 Tokyo (JP). |
| (21) 国際出願番号: | PCT/JP2003/008761 | |
| (22) 国際出願日: | 2003 年 7 月 10 日 (10.07.2003) | (72) 発明者; および |
| (25) 国際出願の言語: | 日本語 | (75) 発明者/出願人 (米国についてのみ): 吉澤 淳志 (YOSHIZAWA, Atsushi) [JP/JP]; 〒350-2288 埼玉県鶴ヶ島市富士見6丁目1番1号 パイオニア株式会社 総合研究所内 Saitama (JP). |
| (26) 国際公開の言語: | 日本語 | |
| (30) 優先権データ: | | (74) 代理人: 藤村 元彦 (FUJIMURA, Motohiko); 〒104-0045 東京都中央区築地4丁目1番17号 銀座大野ビル 藤村国際特許事務所 Tokyo (JP). |
| 特願2002-205634 | 2002 年 7 月 15 日 (15.07.2002) JP | |
| 特願2002-205635 | 2002 年 7 月 15 日 (15.07.2002) JP | |

/続葉有/

(54) Title: ORGANIC SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 有機半導体素子及びその製造方法



(57) **Abstract:** An organic semiconductor device having a p-type organic semiconductor layer interposed between a source electrode and a drain electrode is provided with an n-type organic semiconductor layer arranged in the middle of the p-type organic semiconductor layer and a gate electrode embedded in the n-type organic semiconductor layer. An organic semiconductor device having an n-type organic semiconductor layer interposed between a source electrode and a drain electrode is provided with a p-type organic semiconductor layer arranged in the middle of the n-type organic semiconductor layer and a gate electrode embedded in the p-type organic semiconductor layer, thereby suppressing leakage current flowing between the electrodes. An organic semiconductor device provided with an organic semiconductor layer having carrier mobility and interposed between a source electrode and a drain electrode, further has a gate electrode, which is embedded in the organic semiconductor layer and composed of at least two intermediate electrode pieces respectively disposed on at least two planes spaced and arranged between the source electrode and the drain electrode in the direction of the film thickness. The gate electrode is embedded therein through fusion of the organic semiconductor layer.

(57) 要約: ソース電極及びドレイン電極間に挟持されたp型有機半導体層を備えた有機半導体素子において、p型有機半導体層の中間に介在されたn型有機半導体層と、n型有機半導体層に包埋されたゲート電極と、を備える。ソース電極及びドレイン電極間に挟持されたn型有機半導体層を備えた有機半導体素子において、n型有機半導体層の中間に介在されたp型有機半導体層と、p型有機半導体層に包埋されたゲート電極と、を備え電極間の漏れ電流の発生を抑制する。また、有

/続葉有/

WO 2004/008545 A1



(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許

(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

機半導体素子はソース電極及びドレイン電極間に挟持されかつキャリア移動性を有する有機半導体層を備え、さらに、有機半導体層に包埋されかつソース電極及びドレイン電極間に離間して並設された少なくとも2つの平面の各々に配置されかつ膜厚方向において配置された少なくとも2つの中間電極片からなるゲート電極を有する。有機半導体層の融解によりゲート電極が包埋される。